

ČÍSLICOVÁ KONCEPCIA SIGMA- DELTA Č/A PREVODNÍKA IMPLEMENTOVANÁ DO FPGA

THE DIGITAL CONCEPTION OF THE SIGMA - DELTA CONVERTER IMPLEMENTED INTO FPGA

Č/A prevodníky sú technické zariadenia, ktoré umožňujú vzájomnú komunikáciu medzi diskretnými a spojitými systémami. Ich základná funkcia je výstižne obsiahnutá vo výroku „Č/A prevodníky tvoria most medzi číslicovým a analógovým svetom“.

Č/A prevodníky transformujú diskretný signál, postupnosť binárnych čísel na analógový ekvivalent. Len veľmi ťažko si dnes vieme predstaviť realizáciu číslicových riadiacich systémov a niektoré aplikácie číslicového spracovania signálov bez ich využitia.

Autori príspevku predkladajú číslicovú koncepciu sigma- delta Č/A prevodníka, ktorý je kompletne implementovaný do programovateľného logického obvodu typu FPGA XC 4005E. Predkladaná koncepcia sigma-delta Č/A prevodníka vyžaduje minimálne prídavné obvody, dolnopriepustný filter, pozostávajúci iba z jedného rezistora a kapacitora.

Kľúčové slová: SD Č/A prevodník, FPGA, dolnopriepustný filter, tvarovací obvod 0-tého rádu.

Úvod

Proces Č/A prevodu je možné opísať vzťahom medzi postupnosťou vstupných vzoriek diskretného signálu $x(n)$ a zodpovedajúcim spojitým signálom $x(t)$. Ak predpokladáme, že požadovaný spojitý signál je frekvenčne ohraničený frekvenciou f_{max} , potom je ho možné získať z postupnosti vzoriek $x(nT_S)$ na základe známej Shannonovej interpolačnej formuly:

$$x(t) = \sum_{n=-\infty}^{\infty} x(nT_S) \frac{\sin\left(\frac{\pi}{T_S}(t - nT_S)\right)}{\frac{\pi}{T_S}(t - nT_S)} \quad (1)$$

$$x(t) = \sum_{n=-\infty}^{\infty} x(nT_S) g(t - nT_S), \quad (2)$$

pričom interpolačná funkcia $g(t)$ je v tvare:

$$g(t) = \frac{\sin\left(\frac{\pi}{T_S}t\right)}{\frac{\pi}{T_S}t} = \frac{\sin(2\pi f_{max}t)}{2\pi f_{max}t}, \quad (3)$$

kde $f_{max} = f_S/2 = 1/2T_S$

D/A converters are technical means which allow mutual communication between discrete and analog systems. Then base function is accurately comprehended in the statement "D/A converters create bridge between digital and analog world".

D/A converter transforms the discrete signal, progression of the binary numbers to the analog equivalent.

Nowadays it is difficult to imagine realization of the digital control systems and some applications of the digital signal processing without using them.

The authors of the article describe the digital conception of the Sigma - Delta D/A converter which is completely implemented into a programmable logical device FPGA, XC 4005E. The described conception of the Sigma -Delta D/A converter requires minimum of the external components, only one resistor and one capacitor as a lowpass filter.

Keywords: SD D/A Converter, FPGA, Lowpass Filter, Zero Order Hold Circuit-S/H.

Introduction

The Process of D/A conversion can be described by the relation between the progression input samples $x(n)$ and corresponding analog signal $x(t)$. If we suppose that the required analog signal is limited by the frequency f_{max} , then we take it from the progression of the samples $x(nT_S)$ on the base of the well known the Shannon interpolation formula:

$$x(t) = \sum_{n=-\infty}^{\infty} x(nT_S) \frac{\sin\left(\frac{\pi}{T_S}(t - nT_S)\right)}{\frac{\pi}{T_S}(t - nT_S)} \quad (1)$$

$$x(t) = \sum_{n=-\infty}^{\infty} x(nT_S) g(t - nT_S), \quad (2)$$

whereby interpolation function $g(t)$ is in the form:

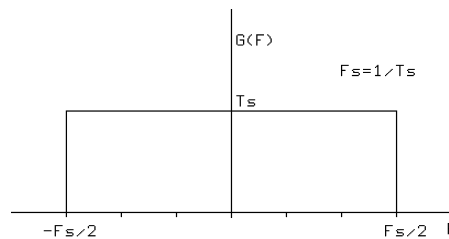
$$g(t) = \frac{\sin\left(\frac{\pi}{T_S}t\right)}{\frac{\pi}{T_S}t} = \frac{\sin(2\pi f_{max}t)}{2\pi f_{max}t}, \quad (3)$$

where $f_{max} = f_S/2 = 1/2T_S$

* Ing. Oldřich Kovář, PhD., Doc. Ing. Juraj Miček, PhD.

Department of Technical Cybernetics, Faculty of Management Sciences and Informatics, University of Žilina, Veľký diel, SK-01026 Žilina, Slovak Republic, Tel: +421-89-5254042, E-mail: kovar@firtk.utc.sk, mick@firtk.utc.sk

Proces ideálneho Č/A prevodu je možné chápať ako proces filtrácie, pri ktorom sa snažíme potlačiť všetky frekvenčné zložky diskrétného signálu ležiace mimo frekvenčného rozsahu $-f_{max}$ až f_{max} . Interpoláčnā funkcia $g(t)$ potom predstavuje impulznú odozvu dolnopriepustného filtra s frekvenčnou charakteristikou uvedenou na obr. 1.

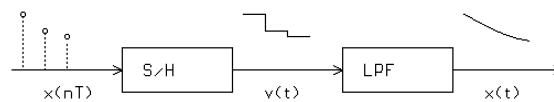


Obr. 1 Frekvenčná charakteristika ideálneho dolnopriepustného filtra
Fig. 1 Frequency characteristic of the ideal low pass filter

Process of an ideal conversion can be understood as a process of the filtering in which we try to suppress all frequency components out of the frequency range $-f_{max}$ to f_{max} .

Interpolation function $g(t)$ then represents the impulse response of the lowpass filter with frequency characteristic depicted in Fig. 1.

Poznamenajme, že v uvedenom prípade sa stretávame s nekauzálnym IIR filtrom, ktorého priama realizácia nie je možná. V praktických aplikáciách sa preto pri realizácii Č/A prevodníkov stretávame s jednoduchšími prístupmi. Najčastejšie sa používajú Č/A prevodníky s tvarovačom 0-tého rádu. Výstup tvarovacieho obvodu (S/H) je ďalej upravený dolnopriepustným filtrom. Štruktúra Č/A prevodníka je uvedená na obr. 2.



Obr. 2 Štruktúra Č/A prevodníka
Fig. 2 Structure of the D/A converter

In this case we use a non causal IIR filter whose direct realization is impossible. In the design and realization of the D/A converters we have more simple approaches to the practical application. D/A converters with a zero order hold circuit

(S/H) are frequently used. Output of the S/H is further formed by the lowpass filter. The structure of the D/A converter is depicted in Fig. 2.

V uvedenom prípade je možné impulznú odozvu tvarovacieho obvodu vyjadriť nasledovne:

$$g(t) = \begin{cases} 1 & 0 \leq t < T \\ 0 & \text{inak} \end{cases} \quad (4)$$

Frekvenčnú odozvu tvarovacieho člena je možné určiť z impulznej odozvy aplikovaním Fourierovej transformácie:

$$G(F) = \int_{-\infty}^{\infty} g(t)e^{-j\pi Ft} dt = T_s \frac{\sin \pi FT_s}{\pi FT_s} e^{-j\pi FT_s} \quad (5)$$

Amplitúdová frekvenčná charakteristika je znázornená na obr. 3

It is possible to express the impulse response of the S/H by the following:

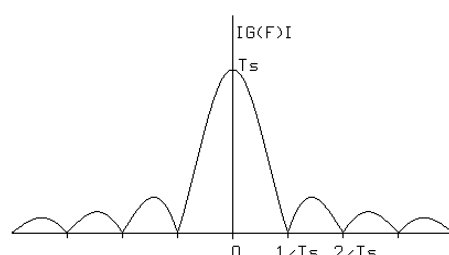
$$g(t) = \begin{cases} 1 & \text{when } 0 \leq t < T \\ 0 & \text{other} \end{cases} \quad (4)$$

It is possible to determine the frequency response of the S/H from the impulse response by the application of Fourier transformation:

$$G(F) = \int_{-\infty}^{\infty} g(t)e^{-j\pi Ft} dt = T_s \frac{\sin \pi FT_s}{\pi FT_s} e^{-j\pi FT_s} \quad (5)$$

The amplitude frequency characteristic is depicted in Fig. 3.

Z obrázka je zjavné, že rozdiel medzi frekvenčnou charakteristikou ideálneho Č/A prevodníka - obr. 1 a Č/A prevodníka realizovaného na báze tvarovacieho obvodu 0-tého rádu je pomerne značný. Prítomnosť vyšších nežiaducich frekvenčných zložiek v spojitom signále je daná zvlnením frekvenčnej charakteristiky v nepriepustnom pásme ($F > 1/2T_s$). Tieto nežiaduce frekvenčné zložky je možné potlačiť pomocou analógového dolnopriepustného filtra.



Obr. 3 Amplitúdová frekvenčná charakteristika tvarovača 0-tého rádu
Fig. 3 Amplitude frequency characteristic of the S/H.

The difference between the frequency characteristic of an ideal D/A converter (Fig. 1) and a D/A converter realized on the base of the S/H is quite significant.

The presence of the higher frequency components contained in the analog signal is given by the ripple of the frequency characteristic above the frequency $F > 1/2T_s$ (stop band). These undesirable higher frequency components can be eliminated by an analog lowpass filter.

In the design and realization of the D/A converters on the base of the S/H, higher order hold circuits are used, but without a remarkable improvement of the qualities of the D/A converters.

One interesting approach to the design and realization of the D/A converters is a converter which uses the principle of the sigma - delta modulation.

Pri návrhu a realizácii Č/A prevodníkov na báze tvarovacích členov sa využívajú i tvarovače vyšších rádoov, ktoré však neprinášajú podstatné zlepšenie vlastností Č/A prevodníkov. Jedným zo zaujímavých prístupov k realizácii Č/A prevodníkov je prevodník, ktorý využíva princíp sigma-delta modulácie.

Č/A prevodník na princípe Sigma-Delta Modulátora

Sigma-delta modulátor transformuje postupnosť vzoriek $\{y(m)\}$ na dvojhodnotový signál $z(t)$. Dvojhodnotový signál $z(t)$ je privedený na analógový dolnopriepustný filter, ktorý potláča vplyv nežiaducich frekvenčných zložiek. Princíp činnosti je znázornený na obr. 4.

SD Č/A prevodník obsahuje:

- blok interpolácie I
- číslicový dolnopriepustný filter LPF1
- sigma-delta modulátor SDM
- analógový dolnopriepustný filter LPF2.

Blok interpolácie realizuje I-násobné zvýšenie vzorkovacej frekvencie. Transformuje vstupnú postupnosť $\{x(n)\}$ na postupnosť $\{v(m)\}$ tak, že medzi dve po sebe idúce vzorky $x(n)$ a $x(n+1)$ doplní $I-1$ nulových hodnôt podľa vzťahu:

$$v(m) = \begin{cases} x(n/I) & m = 0, \pm I, \pm 2I, \dots \\ 0 & \text{inak} \end{cases} \quad (6)$$

Postupnosť $\{v(m)\}$ vstupuje do číslicového dolnopriepustného filtra LPF1, ktorý potlačí frekvenčné zložky nad frekvenciou π/I . Výstup z dolnopriepustného filtra, postupnosť $\{y(m)\}$, je spracovaná v sigma-delta modulátore na dvojhodnotový časovo spojený signál $z(t)$. Signál $z(t)$ je upravený prostredníctvom analógového dolnopriepustného filtra LPF2 na spojité ekvivalent diskrétného signálu $x(n)$. Poznamenajme, že číslicový dolnopriepustný filter pracuje so vzorkovacou frekvenciou I-násobne vyššou než je vzorkovacia frekvencia vstupného diskrétného signálu $x(n)$. Z dôvodov technickej realizovateľnosti sa preto snažíme o čo najjednoduchšiu implementáciu uvedeného filtra. V nasledujúcej časti je uvedené riešenie Č/A SD prevodníka, v ktorom interpolačný filter je realizovaný ako tvarovač 0-tého rádu.

Architektúra číslicového sigma-delta Č/A prevodníka

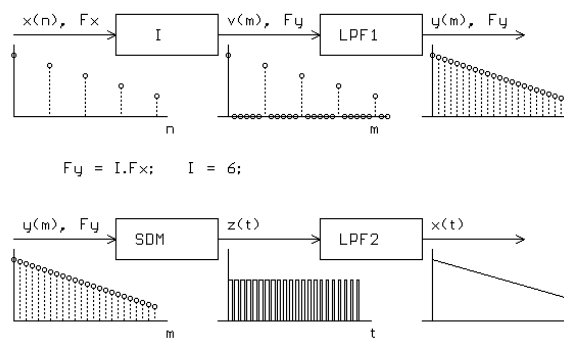
Prezentovaný SD Č/A prevodník je navrhnutý ako číslicový systém implementovaný do reprogramovateľného obvodu FPGA XC 4005E. Bloková schéma je uvedená na obr. 5.

Vstupné a výstupné signály:

- DAC_{OUT} - výstupný signál, sled impulzov, ktorý je spracovávaný dolnopriepustným filtrom
- DAC_{IN} - vstupná binárna zbernica.
- CLK - vstupný taktovací signál. Jeho nábežnou hranou je riadený pracovný cyklus prevodníka
- Reset - inicializačný signál

D/A Converter on the base of the S-D modulatro

Sigma - delta modulator transforms progression of the samples $\{y(m)\}$ into bi-level signal $z(t)$. The bi-level signal $z(t)$ goes through an analog lowpass filter which eliminates the influence of undesirable frequency components. The principle of the function is depicted in Fig. 4.



Obr. 4 Štruktúra Č/A SD prevodníka
Fig. 4 Structure of the SD D/A converter

SD D/A converter contains:

- block of interpolation I
- digital lowpass filter LPF1
- sigma-delta modulator SDM
- analog lowpass filter LPF2

Block of the interpolation realizes I-times raising of the sampling frequency. It transforms input progression $\{x(n)\}$ to output progression $\{v(m)\}$ by loading $I-1$ zeroes between two successive samples $x(n)$ and $x(n+1)$ according to the formula:

$$v(m) = \begin{cases} x(n/I) & m = 0, \pm I, \pm 2I, \dots \\ 0 & \text{other} \end{cases} \quad (6)$$

Progression $\{v(m)\}$ inputs into digital lowpass filter LPF1 which eliminates frequency components above the frequency π/I . The output signal of the lowpass filter, progression $\{y(m)\}$, is modulated by the sigma-delta modulator to the bi-level time continuous signal $z(t)$. The signal $z(t)$ is being modified by the analog lowpass filter LPF2 to the form of the continuous equivalent of the discrete signal $x(n)$. We notice that a digital lowpass filter works with I-times higher the sampling frequency than is sampling frequency of the discrete input signal $x(n)$. We endeavour to find the most simple implementation of the filter because of having in mind the technical realization.

The solving of the SD D/A converter is described in the following part of the article. The SD D/A converter is designed and implemented as a pure digital system with a zero order hold circuit.

Architecture of the digital sigma - delta D/A converter

The herein presented SD D/A converter is designed as a digital system implemented in a reprogrammable logic device, Field Programmable Gate Array (FPGA) XC 4005E. The block scheme of the implemented system with interface signals is depicted in Fig. 5.

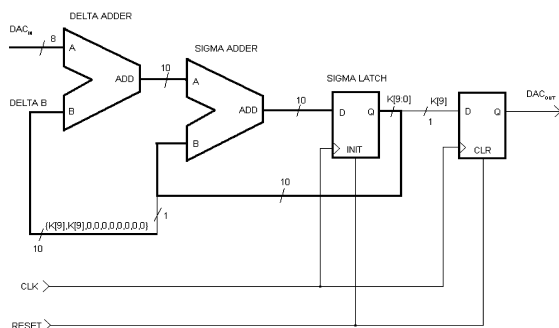
where:

- DAC_{OUT} - output signal, pulse string, that drives the external lowpass filter
- DAC_{IN} - digital input bus
- CLK - system input clocks
- Reset - initializes system

Číslicová koncepcia SD Č/A prevodníka podstatne eliminuje teplotné vplyvy na jeho funkciu.

Bloková štruktúra SD Č/A prevodníka je uvedená na obr. 6.

Jadro SD Č/A prevodníka vytvárajú sumátor Sigma Adder a register Sigma Latch, ktoré v uvedenom funkčnom spojení predstavujú systém priamej číslicovej frekvenčnej syntézy *DDFS* (*Direct Digital Frequency Synthesis*). Jej všeobecná bloková schéma je uvedená na obr. 7



Obr. 6 Bloková štruktúra SD Č/A prevodníka
Fig. 6 Structure of the Sigma-Delta D/A converter

Ako je zrejme z obr. 7, systém priamej číslicovej frekvenčnej syntézy je realizovaný akumulátorom.

Frekvencia výstupného signálu (bitu MSB registra) systému priamej číslicovej syntézy je určovaná binárnou hodnotou konštanty N, ktorá je privedená na jeden zo vstupov sumátora podľa nasledovného vzťahu (7):

$$F_{OUT} = F_{CLK} \cdot \frac{N}{2^k} \quad (7)$$

kde k je počet bitov spätnovezbovej zbernice
 N je riadiaca binárna konštanta na vstupe sumátora
 F_{CLK} je frekvencia taktovacích hodín systému

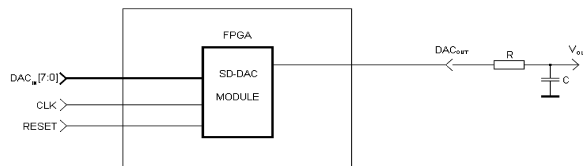
Ako je zo vzťahu (7), zrejme frekvenciu výstupného signálu je možné meniť s krokom 2^{-k} .

Frekvenčné obmedzenie výstupného signálu je určené vzťahom (8):

$$F_{OUT} < \frac{F_{CLK}}{2} \quad (8)$$

Funkčné parametre číslicového SD Č/A prevodníka

Opisovaný SD Č/A prevodník je komplexne navrhnutý ako číslicový systém a implementovaný do reprogramovateľného obvodu typu FPGA bez použitia prídavných externých diskretných súčiastok. Tým je zabezpečená značná tepelná stabilita SD Č/A prevodníka a odpadajú problémy s presnosťou diskretných súčiastok a stálosťou ich parametrov.

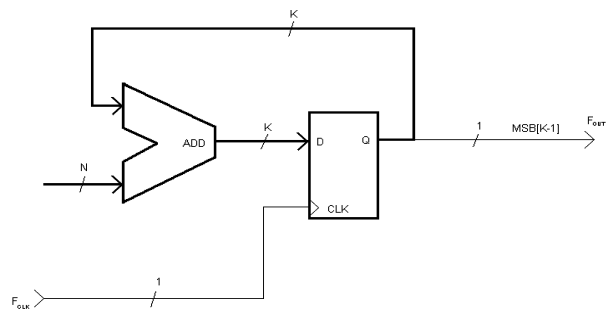


Obr. 5 Bloková schéma SD Č/A prevodníka
Fig. 5 Block scheme of the SD D/A converter

The digital conception of the SD A/D converter significantly eliminates the influence of temperature on its function. The structure of the SD A/D converter is depicted in Fig. 6.

The core of the SD D/A converter consists of the Sigma Adder and Sigma Latch register, which,

in the described function connection works as a *Direct Digital Frequency Synthesis (DDFS)*. Its common block diagram is depicted in Fig. 7.



Obr. 7 Bloková schéma priamej číslicovej frekvenčnej syntézy
Fig. 7 The block diagram of the DDFS

As we can see in Fig. 7 the system DDFS is, in fact, an accumulator. The frequency of the output signal (bit MSB of the Sigma Latch register) of the system DDFS is controlled by the value of the binary constant N placed on one of the inputs of the summator. The frequency F_{OUT} is given by the following equation:

$$F_{OUT} = F_{CLK} \cdot \frac{N}{2^k} \quad (7)$$

where k is a number of bits of the feedback bus
 N is a control binary constant in the input of the summator
 F_{CLK} is frequency of the systems clock

The frequency of the output signal can be changed with a resolution step 2^{-k} .

There is a limitation of the frequency of the output signal according to the following equation (8):

$$F_{OUT} < \frac{F_{CLK}}{2} \quad (8)$$

Functional parameters of the digital SD D/A converter

The described SD D/A converter is completely designed as a digital system and is implemented in FPGA XC 4005E. The advantages of using FPGA are: no dependence on temperature, voltage or aging and accuracy of the external analog components.

Výstupné napätie SD Č/A prevodníka

Pre implementovanú číslicovú štruktúru SD Č/A prevodníka podľa obr. 6 je možné výstupné napätie prevodníka vyjadriť ako funkciu hodnoty vstupnej binárnej vzorky prevodníka (DAC_{IN}) podľa nasledujúceho vzťahu

$$V_{OUT} = \frac{\langle DAC_{IN} \rangle}{2^{MSBI+1}} \cdot V_{CCO} \quad [V] \quad (9)$$

kde V_{OUT} je výstupné napätie za dolnopriepustným filtrom, analógový ekvivalent binárnej hodnoty vstupnej vzorky prevodníka
 $\langle DAC_{IN} \rangle$ binárna hodnota vstupnej vzorky prevodníka
 $MSBI$ najvyšší váhový bit vstupnej vzorky

Interval prevodu

Interval prevodu SD Č/A prevodníka je v tomto prípade určený vzťahom

$$T_P = 2^{MSBI+1} \cdot T_{CLK} \quad (10)$$

kde T_{CLK} perióda taktovacích hodín systému

V prípade 8-bitovej vstupnej vzorky a taktovacej frekvencie 50 MHz je v našom prípade čas prevodu 5,12 μ s.

Uvedený číslicový SD Č/A prevodník má univerzálne použitie v oblastiach, v ktorých vyhovuje s hľadiska rýchlosti prevodu. Môžu to byť napríklad nasledovné aplikácie:

- programovateľný generátor napätia
- generátor periodických priebehov
- generátor zvuku
- RGB generátor

Záver

Popísaný Sigma Delta Č/A prevodník je jedným z príkladov efektívneho využitia programovateľných logických obvodov typu FPGA v oblastiach, ktoré boli donedávna doménou analógových obvodov. Hustota integrácie a rýchlosť dnešných FPGA obvodov dovoľuje implementáciu veľmi rozsiahlych číslicových štruktúr pracujúcich frekvenciou až 350 MHz. Nezanedbateľným aspektom uvedenej koncepcie SD Č/A prevodníka je minimalizácia počtu stavebných komponentov s pozitívnymi dôsledkami na zvýšenie spoľahlivosti systému.

Recenzenti: J. Mintal, M. Hrianka

Literatúra - References

- [1] PROAKIS, J.G., MANLOAKIS, D.G.: Digital signal processing, MPC, New York 1992
- [2] The programmable logic Data Book, Žilina, 1999
- [3] XCELL Journal, Issue 31, 1999
- [4] Analog Devices Data Converter Reference Manual, Volume I, 1992

The output voltage of the SD D/A converter

For the implementation in Fig. 6, the output voltage V_{OUT} as a function of the SD D/A converter input may be expressed as follows:

$$V_{OUT} = \frac{\langle DAC_{IN} \rangle}{2^{MSBI+1}} \cdot V_{CCO} \quad [V] \quad (9)$$

where: V_{OUT} is an output voltage on the lowpass filter output, analog equivalent of the binary value of the input sample
 $\langle DAC_{IN} \rangle$ contents of the input bus
 $MSBI$ the most significant bit of the input sample

The time of the conversion

The time of the conversion of the SD D/A converter is in this case expressed as follows:

$$T_P = 2^{MSBI+1} \cdot T_{CLK} \quad (10)$$

Where T_{CLK} is a period of the system clock.

In the case of an 8-bit input sample and CLK frequency 50 MHz is a time of the conversion 5.12 μ s.

The presented SD D/A converter has universal applications in the areas where it satisfies the criteria of the conversion speed. The following applications can be introduced:

- Programmable Voltage Generator
- Waveform Generator
- Sound Generator
- RGB Color Generator

Conclusion

Digital Sigma-Delta D/A converter is one of the examples how the reprogrammable logic devices FPGAs can be effectively used in applications, where analog circuits dominated until recently. The density and speed of today's FPGAs circuits make them ideal for implementation of a wide range of very vast digital systems working on the frequency up to 350MHz. The unneglectable aspect of the introduced conception of the SD D/A converter is a reduction of the system components with direct consequences on the raising of the system reliability.

Reviewed by: J. Mintal, M. Hrianka